

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-237603

(43)Date of publication of application : 04.10.1988

(51)Int.Cl.

H03G 3/20

(21)Application number : 62-070361

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.03.1987

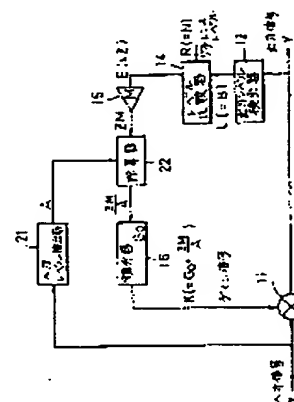
(72)Inventor : KOYAMA KO

(54) GAIN CONTROLLED CIRCUIT

(57)Abstract:

PURPOSE: To make the titled circuit converge with an excellent convergence rate by dividing a difference signal between an output signal level and a reference level by an input signal level then integrating the results to generate a gain signal.

CONSTITUTION: A multiplier 11 is gain-controlled corresponding to a gain signal K, and delivers an output signal Y, and the output signal Y is supplied also to an output level detector 12. A level comparator 14 compares the reference level R and an output level L, and supplies an error signal E which is the difference between said two levels to an amplifier 15. To the other input terminal of a divider 22, an input level A detected by an input level detector 21 is supplied, and the division result is inputted to an integrator 16, and the integration output is outputted as a gain signal K. Accordingly, the smaller input level A of an input signal is, the larger the value to be added to the integrator 16 comes, as a result, the convergence time is maintained constant regardless of the magnitudes of input signals.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-237603

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)10月4日

H 03 G 3/20

A-7210-5J

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 利得制御回路

⑯ 特 願 昭62-70361

⑰ 出 願 昭62(1987)3月26日

⑱ 発 明 者 小 山 鋼 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜
金属工場内

⑲ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

利得制御回路

2. 特許請求の範囲

乗算器への入力信号のレベルを検出する入力レベル検出手段と、前記乗算器の出力信号のレベルを検出する出力レベル検出手段と、前記出力レベル検出手段からの出力レベルと制御目標値であるリファレンスレベルとの差である誤差信号を検出する誤差検出手段とを具備し、前記誤差信号を前記入力レベル検出手段で得られた入力レベルで除算する除算手段と、前記除算手段で得られた除算結果を積分し、積分出力を前記乗算器にゲイン信号として与える積分手段とを具備したことを特徴とする利得制御回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明はデジタル信号処理回路等に用いられる利得制御回路に関する。

(従来の技術)

テレビジョンシステム、ビデオテープレコーダ等の信号伝送系においては、受信側で元の信号振幅を再現するために、利得制御回路が必要である。この種の利得制御回路として、従来第2図に示すような回路が知られている。

入力信号Xは、乗算器11の一方の入力端子に供給される。乗算器11の他方の入力端子には、積分器16の出力信号(以下ゲイン信号Kと称する)が供給される。このゲイン信号Kの大きさをG₀と記すことにする。

乗算器11は、ゲイン信号Kに応じて利得制御され、出力信号Yを導出する。出力信号Yは、出力レベル検出器12にも供給される。レベル検出器12は、出力信号Yの振幅(以下出力レベルLと称する)を検出し、これをレベル比較器14の一方の入力端子に供給する。出力レベルLの大きさをBと記すことにする。

一方レベル比較器14の他方の入力端子には、制御目標値であるリファレンスレベルRが与えら

れる。レベル比較器14は、リファレンスレベルRと出力レベルLを比較し、その差であるエラー信号Eを得、これをM倍の利得を持った増幅器15に供給する。増幅器15の出力は、積分器16に供給され積分される。以下リファレンスレベルRの大きさをN、エラー信号の大きさをZと記すことにする ($Z = N - B$)。

積分器16は、所定の周期で、増幅器15から供給された数値ZMと、元から保持していた数値G₀を加算し、加算した結果、G₀ + ZMを新たに保持し、これをゲイン信号Kとして乗算器11に供給する。

今、入力信号Xの振幅(入力レベル)をAとすると、出力レベルLの大きさBは、 $B = A \cdot G_0$ となる。

一方、出力レベルをNにするために必要なゲイン信号K(以下目標ゲインという)の値G_Rは、 $G_R = N / A$ であるから、系を収束させるために積分器16に加算しなければならない値ΔGは、 $\Delta G = G_R - G_0$

そこでこの発明は、良好な収束速度で収束することのできる入力信号レベルの範囲を拡大した利得制御回路を提供することを目的とする。

[発明の構成]

(問題点を解決するための手段)

この発明は、利得制御を受けた出力信号レベルとリファレンスレベルとの差信号を積分器で加算する際に、上記差信号を入力信号レベルで除算してから、積分する手段を設け、その積分出力をゲイン信号として乗算器に供給するものである。

(作 用)

上記のように、差信号を入力信号レベルで除算するので、入力信号レベルが小さいときには積分器に加算する値を大きくし、入力信号レベルが大きいときには積分器に加算する値を小さくすることができる。このことは、入力信号レベルの大きさに応じてゲイン信号の可変率が変わることであり、系の収束時間が入力信号レベルの大小に応じて従来の如く大きく変化しないことである。これにより、良好な収束時間を持つ入力信号レベルの

$$\begin{aligned} &= N / A - B / A = (N - B) / A \\ &= Z / A \end{aligned}$$

である。

この値は、分母にAがあるため、入力レベルに依存する。即ち、エラー信号の大きさZが同じ場合、系が収束するまで積分器16に加算しなければならない値が、入力レベルによって変わることになる。

この結果、上記の回路は、系の収束時間が入力レベルによって異なり、入力レベルが小さいほど遅くなる。しかしながら、一般に利得制御回路の収束時間には制約がある。つまり、収束時間(速度)が短か(速)すぎると、ノイズにまで感応してその影響を受けやすくなる。一方、収束時間が遅いと、長時間にわたり振幅レベルが安定せずに系が不安定であり、正常な信号処理を始めるまでの時間が長くなってしまう。

(発明が解決しようとする問題点)

上記ように、従来の利得制御回路は、収束速度が入力信号レベルに依存するため、最適な収束速度で収束する入力信号範囲が限られていた。

範囲を拡大できる。

(実施例)

以下この発明の実施例を図面を参照して説明する。

第1図はこの発明の一実施例であり、入力信号Xは、乗算器11の一方の入力端子に供給されるとともに、本発明の特徴部を成す入力レベル検出器21に入力される。乗算器11の他方の入力端子には、積分器16の出力信号、つまりゲイン信号Kが供給される。

乗算器11は、ゲイン信号Kに応じて利得制御され、出力信号Yを導出する。ここで、出力信号Yは、誤差検出手段としての出力レベル検出器12にも供給される。出力レベル検出器12は、出力信号Yの振幅、つまり出力レベルLを検出し、これをレベル比較器14の一方の入力端子に供給する。

一方、レベル比較器14の他方の入力端子には、制御目標値であるリファレンスレベルRが与えられている。

レベル比較器 14 は、リファレンスレベル R と、出力レベル L とを比較し、その差であるエラー信号 E を、M 倍の利得を持った増幅器 15 に供給する。

ここで、増幅器 15 の出力は、除算器 22 の一方の入力端に供給される。除算器 22 の他方の入力端には、入力レベル検出器 21 で検出した入力レベル A が供給される。除算器 22 の除算結果は、積分器 16 に入力され、その積分出力がゲイン信号 K として出力される。

上記の回路において、入力レベルがA、初期のゲインがG₀とすると、系が収束するためには、積分器16に

$$\Delta G = Z / A$$

を加算しなければならない。この加算値と入力レベル A との関係を見ると、次のようになる。

入力レベル A_1 と、 nA_1 の 2 つの入力信号を考えた場合、系が収束するために積分器 16 に加算しなければならない値は、各々 Z/A_1 と、 Z/nA_1 であり、 $1:1/n$ の関係を持つ。本回

路では、この場合積分器 16 に加算する値が各々 MZ/A 1 と、 MZ/nA 1 になり、 $1:1/n$ になる。このことは、入力レベル A が小さい信号ほど、積分器 16 に加算する値が大きくなり、入力信号の大小にかかわらず収束時間が一定に保たれることを意味する。

〔発明の効果〕

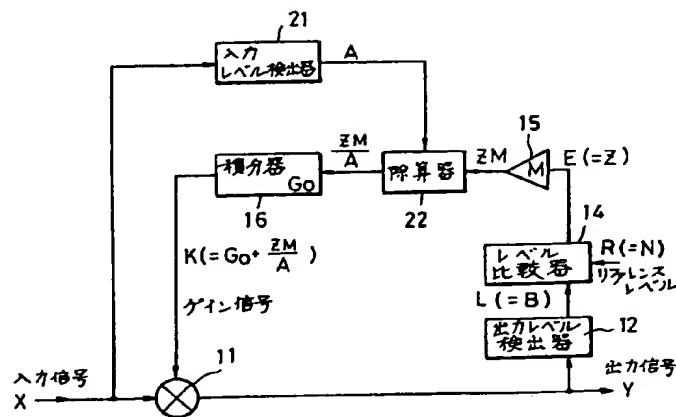
以上説明したように本発明は、簡単な構成により、良好な収束速度で系を安定状態に引き込み、入力信号レベルの許容範囲が広い利得制御回路を提供できる。

4. 図面の簡単な説明

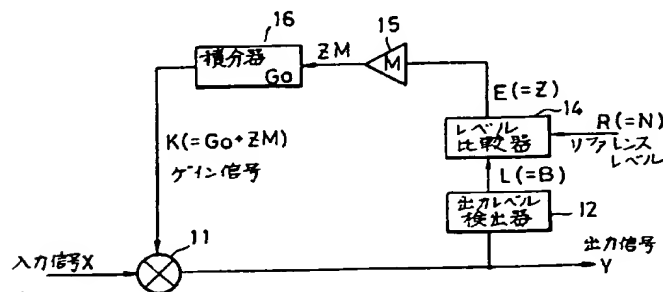
第1図はこの発明の一実施例を示す回路図、
第2図は従来の利得制御回路を示す図である。

11…乗算器、12…出力レベル検出器、14…レベル比較器、15…増幅器、16…積分器、21…入力レベル検出器、22…除算器。

出願人代理人 弁理士 鈴江武彦



第 1 図



第 2 圖